

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP2050437 (A)

Publication date: 1990-02-20

Inventor(s): MORI SEIICHI

Applicant(s): TOSHIBA CORP

Classification:

- international: H01L21/3205; H01L21/336; H01L23/52; H01L29/423; H01L29/43; H01L29/49; H01L29/78; H01L21/02; H01L23/52; H01L29/40; H01L29/66; (IPC1-7): H01L21/3205; H01L21/336; H01L29/62; H01L29/784

- european:

Application number: JP19880200022 19880812

Priority number(s): JP19880200022 19880812

Abstract of JP 2050437 (A)

PURPOSE: To avoid the deterioration of the transistor characteristics by a method wherein a polycrystalline silicon layer is deposited on a gate electrode composed of a high melting point metal, its silicide or their polycide structure and the polycrystalline silicon layer is oxidized to form an oxide film thick enough to be a stopper of ion implantation on the gate electrode. **CONSTITUTION:** A polycrystalline silicon layer 106 from which an oxide film thick enough to be a stopper against ions at the time of ion implantation can be formed is deposited on a gate electrode composed of a high melting point metal, its silicide or their polycide structure. The polycrystalline silicon layer 106 is oxidized to form a sufficiently thick oxide film. Therefore, ions can be stopped by the formed thick oxide film.; With this constitution, in a semiconductor device employing the high melting point metal, its silicide or their polycide structure, the deterioration of the transistor characteristics caused by the piercing-through of the gate electrode by ions at the time of ion implantation in the manufacturing process can be avoided.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-50437

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月20日

H 01 L 21/336
21/3205
29/62
29/784

G 7638-5F

8422-5F H 01 L 29/78 3 0 1 P
6824-5F 21/88 Q

審査請求 有 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-200022

⑰ 出 願 昭63(1988)8月12日

⑱ 発 明 者 森 誠 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) ゲート電極が高融点金属またはそのシリサイドまたはそれらのポリサイド構造で形成されているMOSFETにおいて、その高融点金属層またはそのシリサイド層またはそれらのポリサイド構造層の上部にポリシリコン層を形成し、この積層構造層をパターンニングしてゲート電極部を形成し、前記ポリシリコン層を酸化し、このポリシリコン層の少なくとも一部を酸化膜に変えることを特徴とする半導体装置の製造方法。

(2) 前記半導体装置の製造方法において、高融点金属層またはそのシリサイド層またはそれらのポリサイド構造層の上部に形成されるポリシリコン層に、増速酸化を起こす作用を持つ不純物が $1 \times 10^{19} \text{ cm}^{-3}$ 以上含まれることを特徴とする請求項(1)記載の半導体装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は薄いゲート酸化膜を有するMOSFETの製造方法に関するもので、特にゲート電極に高融点金属、そのシリサイドあるいはそれらのポリサイド構造を用いた半導体装置の製造方法に関するものである。

(従来の技術)

従来、半導体装置において、装置の高速化のためにゲート電極の抵抗を小さくすることがなされている。このゲート電極の抵抗を小さくするための手段として、ゲート電極に従来のポリシリコンから、高融点金属(タンタル、チタン、タングステン等)またはそのシリサイド、およびこれらの下にポリシリコンを堆積した、いわゆるポリサイド構造をゲート電極に用いることで、ゲート電極の抵抗の低減を図ることがなされている。

このような上記の構成のゲート電極を有するMOSFETを製造する工程において、従来のポリシリ

コンをゲート電極に用いた半導体装置の製造工程同様、ゲート電極形成後、このゲート電極をマスクとして、ソース／ドレイン領域に対するイオン注入、あるいはLDD (Low Doped Drain) 構造を形成するためのイオン注入を行う。このような場合、ゲート電極自体はイオンの注入に対して十分なイオン阻止能力がなければならない。しかしながら、前記高融点金属またはそのシリサイドは、ポリシリコンに比較してイオン阻止能力が低く、これらの物質で構成されたゲート電極をイオンが貫通して、トランジスタの特性を劣化させる恐れがあった。

従来、MOSFETの製造工程において、前記のようなイオン注入時におけるゲート電極のイオン突き抜け防止のために、イオン阻止能力の高いポリシリコンの場合でも、イオン注入前に酸化を行いゲート電極周囲およびその上部にシリコン酸化膜を形成することが行われる。ポリシリコンゲート電極には、多量の不純物がドーピングされており、増速酸化が行われ、よって、ポリシリコンゲート

電極表面上にのみ厚い酸化膜が形成でき、この厚い酸化膜がイオン注入のストッパーとなる。

しかし、ゲート電極を高融点金属、そのシリサイドまたはそれらのポリサイド構造で構成した場合、酸化レートが遅いため、イオンのストッパーとなりうる十分な厚さを持つ酸化膜が形成できない。即ち、イオンがゲート電極を突き抜けてトランジスタ特性を劣化させてしまう。また、MOSFETにLDD構造を形成する場合に用いられているP(リン)イオンを注入する場合、ソース／ドレイン領域を形成する場合に用いられているAs(ヒ素)イオンよりもこの突き抜けを起こしやすい。

高融点金属、そのシリサイドまたはそれらのポリサイド構造で構成されたゲート電極の表面上に厚い酸化膜を形成しようとする、酸化時間が長くなり、シリコン半導体基板上にも厚い酸化膜が形成されてしまい、シリコン半導体基板のソース／ドレイン領域に注入されるべきイオンが注入されなくなり、また、熱処理工程も増えることから、

製造プロセス中の汚染等による不純物が不必要に半導体基板中あるいはゲート電極中に熱拡散され、やはりトランジスタ特性を劣化させてしまう恐れがある。

また、特にシリサイド層と、その下にポリシリコン層を持つポリサイド構造層の場合、このシリサイド層を酸化する際、シリサイド層中のシリコンが表面に析出し、これが酸素と反応し、シリサイド層の表面に SiO_2 (二酸化シリコン) 膜が形成される。この時、シリサイド層中のシリコンの補充が、このシリサイド層の下に形成されているポリシリコン層から行われるために、このポリシリコン層に局部的に穴があいたような状態になり、ゲート電極下の酸化膜の耐圧が劣化する恐れがある。特に厚い酸化膜を形成する程、その可能性が大きくなる。

上記のような突き抜けによるトランジスタ特性の劣化は、MOSFETのゲート酸化膜が薄くなる程、起こりやすく、従来、特にこのゲート酸化膜の厚さが300 Å以下で問題となっている。

(発明が解決しようとする課題)

この発明は上記のような問題に鑑みて為されたもので、高融点金属、そのシリサイドまたはそれらのポリサイド構造で構成されたゲート電極を用いる半導体装置において、ソース／ドレイン拡散層等を形成する際のイオンの注入工程において、前記ゲート電極をこのイオンが突き抜けることにより生じるトランジスタの特性劣化を防止できる半導体装置の製造方法を提供することを目的とする。

[発明の構成]

(課題を解決する手段)

この発明による半導体装置の製造方法にあっては、高融点金属、そのシリサイドまたはそれらのポリサイド構造のゲート電極の上部にポリシリコン層を堆積し、このポリシリコン層を酸化し、ゲート電極上にイオン注入のストッパーとなりうる充分に厚い酸化膜を形成することにより、この形成された厚い酸化膜をイオン注入工程時のイオンのストッパーとし、イオンのゲート電極突き抜け

を防止する。

(作用)

前記半導体装置の製造方法にあつては、高融点金属、そのシリサイドまたはそれらのポリサイド構造で構成されているゲート電極の上部に、イオン注入工程時のイオンのストッパーとなりうる厚さの酸化膜を形成できるポリシリコンを堆積、酸化し、充分に厚い酸化膜を形成することにより、イオンがこの形成された厚い酸化膜で止まり、ゲート電極にイオンが突き抜け易い高融点金属、そのシリサイドまたはそれらのポリサイド構造を用いた半導体装置において、その製造工程中のイオン注入におけるイオンのゲート電極突き抜けによるトランジスタの特性劣化を防止できる半導体装置の製造方法が提供される。

(実施例)

以下、第1図を参照して、この発明の一実施例に係わる半導体装置の製造方法について説明する。

第1図(a)乃至第1図(d)は、この発明に係わる半導体装置の製造方法を製造工程順に示し

た断面図である。

第1図(a)において、シリコン半導体基板101上にゲート絶縁膜としての酸化膜102を例えば200Å成長後、第1のポリシリコン層103を例えば1000Å堆積し、続いて、シリサイド層104を例えば3000Å堆積し、さらに、この発明に係わる第2のポリシリコン層105を例えば500Å堆積する。ゲート酸化膜102は300Å以下の場合、特に突き抜けが問題となるが、必ずしも300Å以下に限る必要はない。次に、必要に応じて第2のポリシリコン層105へ酸化を増速させる作用のある例えばAs(ヒ素)イオン108をイオン注入しておく。ここで、ポリシリコンはイオンの阻止能力が高く、またAs(ヒ素)イオンは、他の原子のイオンに比較し、イオンの突き抜けを起こしにくいので、ポリシリコン層105をAs(ヒ素)イオン108が突き抜けることはない。

次に第1図(b)において、セルフアラインエッチング法により、第2のポリシリコン層105、

シリサイド層104、第1のポリシリコン層103、ゲート酸化膜102を順次エッチングする。

次に、第1図(c)において、第1図(b)の状態の装置の酸化を行うと、例えばAs(ヒ素)が注入された第2のポリシリコン層105は酸化が速く、また、ポリシリコンを酸化すると、その厚さはおおよそ2倍になる。本実施例では、500Åポリシリコンを堆積しているので、約1000Åの酸化膜が形成される。よって、シリコン半導体基板101よりも厚く、かつイオンの突き抜けに対し、充分な厚さを持つ酸化膜106が形成される。そして、LDD用のN⁻型領域110を形成するために例えばP(りん)イオン109を、このLDD形成領域に対しイオン注入する。ここで、P(りん)イオン109は、酸化膜106により阻止され、ゲート電極部103、104への突き抜けが防止される。

次に、第1図(d)において、例えばCVD(Chemical Vapor Deposition)法により、全面に

シリコン酸化膜を堆積し、異方性エッチングにより、ゲート電極の側面にシリコン酸化膜が残るようにエッチングしてシリコン酸化膜のサイドウォールスペース107を形成し、LDDN⁻型領域110をカバーした後、例えばAs(ヒ素)イオン108のイオン注入を行い、ソース/ドレインN⁺型領域111を形成しLDD構造MOSFETが完成する。

本実施例では、LDD構造のN⁻型領域110形成用のP(りん)イオン109のイオン注入工程時のP(りん)イオン109のゲート電極部への突き抜けを防止するための実施例を述べているが、この実施例に限らずポリシリコン層を酸化し、イオンのストッパーとなる酸化膜を形成する工程は、種々の半導体装置の製造工程の上で最適な位置に配置することや、また不純物拡散領域等に対して注入されるイオンの種類等は目的に応じて変えることは勿論である。

このような構成によれば、シリサイド層104の下に第1のポリシリコン層103を持ついわゆ

るポリサイド構造のゲート電極の上部に必要に応じて増速酸化作用のあるAs(ヒ素)イオン108をイオン注入した第2のポリシリコン層105を堆積、酸化することにより、イオンの注入に対し、イオンのストッパーとなりうる充分な厚さを持つ酸化膜106が形成されることにより、LDD構造のN⁻型領域形成用のP(りん)イオン109注入工程において、イオンのゲート電極突き抜けのストッパーとなり、ゲート電極のイオン突き抜けによるトランジスタ特性の劣化を防止できる。また、酸化中のSi(シリコン)が、上部ポリシリコン層から供給されるため、特にポリサイド構造の場合に、下地のポリシリコンからのSi(シリコン)供給量を低くできるので、ゲート酸化膜の耐圧劣化も防止できる。

[発明の効果]

本発明による半導体装置の製造方法では、ゲート電極におけるイオンの突き抜けを起こしやすいイオンの注入工程の前に酸化工程を挿入することにより、ゲート電極上に厚い酸化膜を形成し、こ

の形成されたイオン注入に対し充分なイオン阻止能力の持つ厚い酸化膜がイオン注入工程時におけるイオンのストッパーとなり、イオンの突き抜けが起り易い高融点金属、そのシリサイドまたはそれらのポリサイド構造を用いたゲート電極を半導体装置に使用した場合でもイオンの突き抜けが防止でき、ゲート電極をイオンが突き抜けることにより生じるトランジスタ特性の劣化を防止できる半導体装置の製造方法が提供できる。

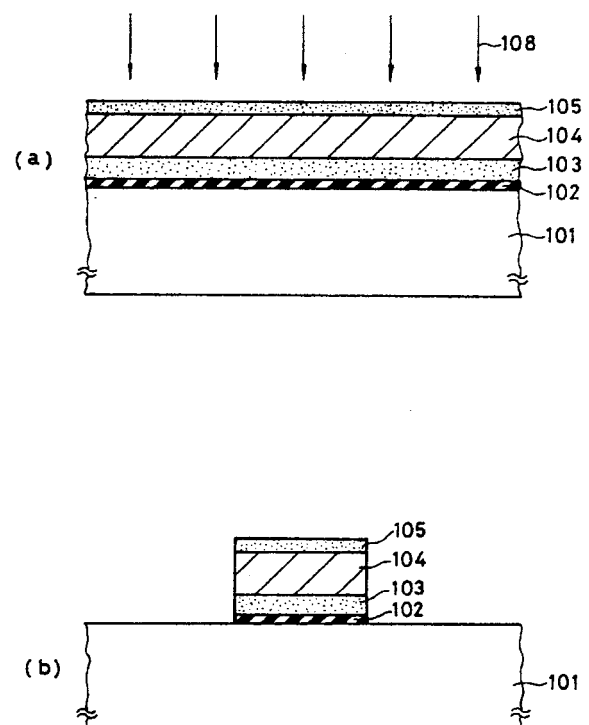
4. 図面の簡単な説明

第1図(a)乃至第1図(d)は、この発明に係わる半導体装置の製造方法について、製造工程順に示した断面図である。

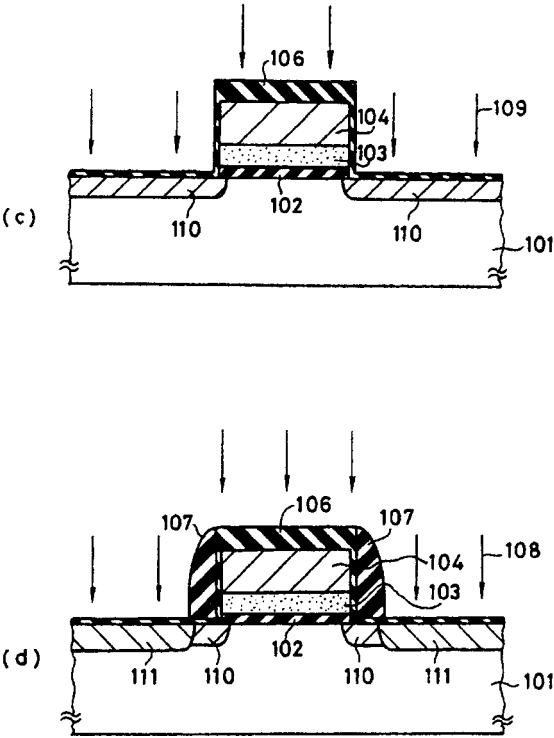
101…シリコン半導体基板、102…ゲート絶縁膜、103…第1のポリシリコン層、104…シリサイド層、105…第2のポリシリコン層、106…第2のポリシリコン層の酸化膜、107…サイドウォール、108…As(ヒ素)イオン、109…P(りん)イオン、110…LDDN⁻型領域、111…ソースノ

ドレインN⁺型領域。

出願人代理人 弁理士 鈴江武彦



第1図



第 1 図